

特開平10-307567

(43)公開日 平成10年(1998)11月17日

(51) Int.Cl.

G 0 9 G 3/36

G 0 2 F 1/133

G 0 9 F 9/00

識別記号

5 5 0

3 4 6

F I

G 0 9 G 3/36

G 0 2 F 1/133

G 0 9 F 9/00

5 5 0

3 4 6 E

審査請求 未請求 請求項の数7 OL (全20頁)

(21)出願番号 特願平10-49154

(22)出願日 平成10年(1998)3月2日

(31)優先権主張番号 特願平9-47905

(32)優先日 平9(1997)3月3日

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 菊部 正男

埼玉県深谷市幡屋町一丁目9番地2号 株

式会社東芝深谷電子工場内

(72)発明者 青木 良朗

埼玉県深谷市幡屋町一丁目9番地2号 株

式会社東芝深谷電子工場内

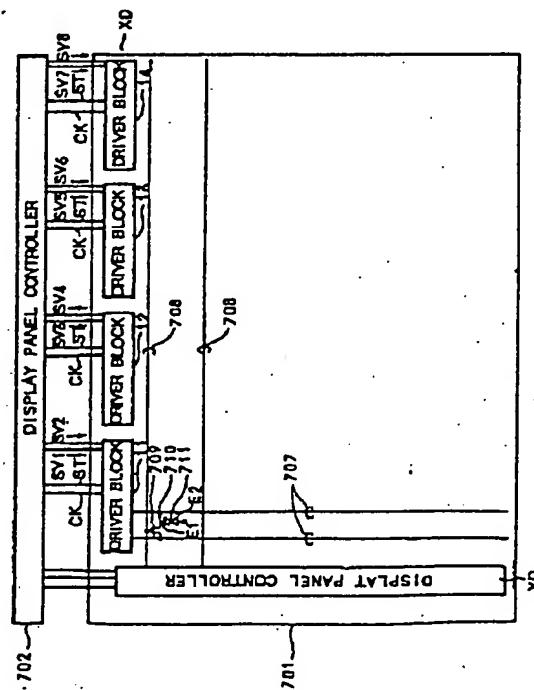
(74)代理人 弁理士 外川 英明

(54)【発明の名称】 表示装置

(57)【要約】

【課題】 大画面化、高精細化に伴なう画像信号帯域の劣化を改善し、良好な表示の選られる表示装置を提供する。

【解決手段】 互いに並列動作する複数の信号線駆動回路ブロックにおいて、信号線駆動回路ブロック毎に個別に映像信号バスを配置し、各映像信号バスが他の駆動回路ブロック内の配線と交差しないように配置する。



【特許請求の範囲】

【請求項1】 表示パネル基板と、前記表示パネル基板上においてマトリクス状にアレイされる複数の表示画素と、前記複数の表示画素の列に沿って前記表示パネル基板上に形成される複数の信号線と、前記複数の表示画素の行を周期的に順次選択し、選択行の表示画素を前記複数の信号線に接続するために前記表示パネル基板上に形成される走査部と、前記複数の信号線を介して選択行の表示画素を駆動する駆動部とを備え、

前記駆動部は前記複数の信号線を各々所定数の隣接信号線で構成される複数の信号線グループに区分するよう配列され、前記表示パネル基板の外部からこれら信号線グループ用に供給される個別の映像信号を受け取り、これら個別の映像信号に基づいて前記信号線グループを駆動する動作を並列的に行う複数の信号線駆動ブロックを含む表示装置。

【請求項2】 各信号線駆動ブロックは対応映像信号をサンプリングして前記所定数の信号線に供給するサンプリング部と、前記表示パネル基板の外部から供給される共通の制御信号に基づいて前記サンプリング部の動作タイミングを制御するタイミング制御回路とを備える請求項1記載の表示装置。

【請求項3】 前記サンプリング部は前記映像信号を分解して得られる複数の部分映像信号をそれぞれ伝送する複数の伝送線と、前記所定数の隣接信号線にそれぞれ割当てられると共に前記複数の伝送線に順番に割当てられ各々対応伝送線上の部分映像信号をサンプリングし対応信号線に供給する複数のアナログスイッチとを含み、前記タイミング制御部は前記複数のアナログスイッチを各々前記伝送線数に等しい数の隣接アナログスイッチで構成される複数のアナログスイッチグループに区分しこれら複数のアナログスイッチグループを順次サンプリング動作させるように構成される請求項2記載の表示装置。

【請求項4】 前記タイミング制御部は前記複数のアナログスイッチグループに沿って並び各々対応アナログスイッチグループのアナログスイッチに共通に接続される複数の出力端を持ち、これら複数の出力端から順次イネーブル信号を出力するシフトレジスタを含む請求項3記載の表示装置。

【請求項5】 前記複数の信号線駆動ブロック相互において各伝送線は前記シフトレジスタの少なくとも一端部側に映像信号入力端を持ち、前記シフトレジスタと前記複数のアナログスイッチとを結ぶ接続配線と交差して共通の長さだけ伸びるよう形成される請求項4記載の表示装置。

【請求項6】 隣接信号線駆動ブロック相互において、前記シフトレジスタのシフト方向は映像信号入力端が前記シフトレジスタの同一端部側にそれぞれ配置される場合に互いに共通な方向に設定される請求項5記載の表示

装置。

【請求項7】 隣接信号線駆動ブロック相互において、前記シフトレジスタのシフト方向は前記映像信号入力端が前記シフトレジスタの一端部側および他端部側にそれぞれ配置される場合に互いに逆方向に設定される請求項5記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、液晶表示装置などの平面型表示装置に係り、特に薄膜トランジスタにより画素をスイッチングする素子及び駆動回路を同一基板上に形成した駆動回路一体型表示装置に関する。

【0002】

【従来の技術】 液晶表示装置は、薄型、軽量、低消費電力、狭額縁の特徴をいかして、テレビ表示用途、OA用途をはじめとして、各種分野で利用されるようになってきた。この液晶表示装置を安価に実現する方法として、液晶表示装置を攻勢する透明基板上に駆動回路を一体的に集積化する方法が考えられている。

【0003】 この駆動回路一体型液晶表示装置においては、マトリクス配置された画素を駆動する薄膜トランジスタと、この薄膜トランジスタのゲートを制御する走査線を駆動する走査線駆動回路及びソースに接続された信号線を駆動する信号線駆動回路を、同一工程により作製している。

【0004】 信号線駆動回路は、外部から供給される映像信号をサンプリングして信号線に供給するアナログスイッチ群と、このアナログスイッチのサンプリング動作を制御するタイミング信号を供給するシフトレジスタから構成され、アナログスイッチ群には共通の映像信号バスが接続される。

【0005】 ところで、このアナログスイッチ及びシフトレジスタは薄膜トランジスタにより構成されるため、スイッチの電流駆動能力及びシフトレジスタの動作スピードには一定の制限がある。このため、アナログスイッチ群を複数のブロックに分割し、分割ブロックどうしを互いに並列動作させることにより、サンプリング時間のマージンを拡大することが考えられる。

【0006】 この場合、ブロック数に対応した複数の映像信号バスを設け、同一タイミングで動作する各ブロックのアナログスイッチを互いに異なる映像信号バスに接続することにより、表示を得る。

【0007】

【発明が解決しようとする課題】 ところが上記の液晶表示装置においては、アナログスイッチと映像信号バスの結線部分とこのアナログスイッチに接続されない他の映像信号バスとの交差個所が多くなってしまい、交差個所で結線部分と映像信号バスとの間に浮遊容量が形成されてしまう。するとこの映像信号バス上を伝達される映像信号の帯域が狭くなり、良好な画像表示が得られない

いう問題があった。

【0008】特に液晶表示装置の大画面化、高精細化がすすむにつれて駆動回路のブロック数を増やす必要があるため、浮遊容量の影響が多大となるおそれがある。この発明は、上記の技術的背景に鑑み、大画面化、高精細化に対応して良好な表示の得られる駆動回路一体型表示装置を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は、上述の課題を解決するために、信号線駆動ブロック毎に映像信号バスを個別に配置し、表示パネル基板の外部からこれら信号線グループ用に供給される個別の映像信号を受け取り、これら個別の映像信号に基づいて前記信号線グループを駆動する動作を並列的に行う複数の信号線駆動ブロックを含む表示装置を用いる。

【0010】本発明の表示装置によれば、映像信号バスは信号線駆動ブロック毎に電気的に互いに絶縁された状態で設けられているので、他の駆動ブロック内の配線との交差部をもたず負荷容量を低減できるため、映像信号バスの帯域特性を大幅に改善することができる。

【0011】

【発明の実施の形態】以下、本発明の実施例を図面を参照して説明する。

(実施例1) 図1は液晶表示装置の回路配置を概略的に示す。この液晶表示装置は例えばテレビ放送画像をカラー表示するアクティブマトリクス液晶表示パネルである。この液晶表示装置は、ガラス基板を用いた表示パネル基板701と、表示パネル基板701上においてマトリクス状にアレイされる複数の表示画素710と、複数の表示画素710の列に沿って表示パネル基板701上に形成される複数の信号線707と、複数の表示画素707の行に沿って表示パネル基板701上に形成される複数の走査線708と、これら走査線707および信号線708の交差位置に形成されれば多結晶シリコン膜からなるチャネルを有するコプラナ構造の薄膜トランジスタで構成される複数のスイッチング素子709とを備える。各スイッチング素子709は各々対応する走査線708の駆動に伴って導通し、対応信号線708の電圧を対応表示画素710に供給する。各表示画素710は液晶層711を介して容量結合された画素電極E1および対向電極E2で構成される。液晶表示装置は表示パネル基板701上において複数の表示画素710の外側に形成される走査線駆動回路YDおよび信号線駆動回路XDとをさらに備える。これら信号線駆動回路XDおよび走査線駆動回路YDはスイッチング素子709の薄膜トランジスタと同一工程で形成される薄膜トランジスタを用いて形成される。走査線駆動回路YDは複数の走査線708に接続され、1垂直走査期間毎にこれら複数の走査線708を線順次に駆動する。信号線駆動回路XDは複数の信号線707に接続され、1行の表示画素がこれら表示

画素に沿って形成された走査線の駆動により選択される1水平走査期間毎に複数の信号線707を駆動する。これら走査線駆動回路YDおよび信号線駆動回路XDは表示パネル基板701の外部に配置される表示パネルコントローラ702によって制御される。

【0012】表示パネルコントローラ702および表示パネル基板701の接続は実装を容易にするために信号線駆動回路XD側の一辺のみにおいて行われる。表示パネルコントローラ702はプリント配線基板に実装され、プリント配線基板と表示パネル基板701の接続はフレキシブル配線基板を介して行われる。

【0013】この走査線駆動回路YDは例えばシフトレジスタで構成され、表示パネルコントローラ702から電源電位および接地電位と共に供給される制御信号の制御により動作する。

【0014】信号線駆動回路XDは図2に示すように複数の信号線707を各々所定数の隣接信号線707で構成される複数の信号線グループに区分するよう配列され、表示パネルコントローラ702からこれら信号線グループ用に供給される個別の映像信号SV1-SV8を受け取り、これら個別の映像信号SV1-SV8に基づいて複数の信号線グループを駆動する動作を並列的に行う複数の信号線駆動ブロック11、12、13、14、…を含む。奇数列映像信号SV1および偶数列映像信号SV2は信号線ブロック11に供給され、奇数列映像信号SV3および偶数列映像信号SV4は信号線駆動ブロック12に供給され、奇数列映像信号SV5および偶数列映像信号SV6は信号線駆動ブロック13に供給され、奇数列映像信号SV7および偶数列映像信号SV8は信号線駆動ブロック14に供給される。これら映像信号SV1-SV8はクロックCKおよび水平スタートパルスSTのような制御信号と共に供給される。図2では、各信号線グループが複雑化を避けるために実際よりも少ない6本の隣接信号線707で示される。また、以下の説明もこれに合わせて記述する。

【0015】信号線駆動ブロック11、12、13、14は奇数列映像信号SV1、SV3、SV5、SV7を伝送する第1伝送線105、107、109、111と、偶数列映像信号SV2、SV4、SV6、SV8を伝送する第2伝送線106、108、110、112と、6本の隣接信号線707にそれぞれ割当てられると共に第1伝送線105、107、109、111および第2伝送線106、108、110、112に交互に割当てられ各々対応伝送線上の映像信号をサンプリングし対応信号線707に供給する一群のアナログスイッチ113、114、115、116と、伝送線数に等しい2つの隣接アナログスイッチ113、114、115、116で各々構成される複数のアナログスイッチグループにアナログスイッチ113、114、115、116をそれぞれ区分しこれら複数のアナログスイッチグループ

を順次サンプリング動作させるタイミング制御回路として構成されるモノクロック型のシフトレジスタ101、102、103、104とを備える。これらコンポーネントは信号線駆動ブロック相互において同様に構成される。複雑化を避けるために6本の隣接信号線で各信号線グループを構成した場合には、アナログスイッチグループ数が3となる。第1および第2伝送線105および106、107および108、109および110、111および112はそれぞれ独立に表示パネルコントローラ702に接続される映像信号バスを構成する。これら映像信号バスは表示パネル701上で各駆動ブロックの境界部分（本実施態様では101、102、103、104の一端部側）に映像信号入力端を持ち、シフトレジスタ101、102、103、104とアナログスイッチ113、114、115、116とを結ぶ接続配線と交差して伸びるよう形成される。各々の駆動ブロックに属する映像信号バスは、互いに電気的に絶縁されるように配置されている。その結果、各映像信号バスは他の駆動ブロック内の配線と交差することが無く、負荷容量を軽減でき、帯域特性を大幅に改善することができる。第1および第2伝送線は信号線駆動ブロック相互において等しい配線長および寄生容量、すなわち配線負荷を持つ。第1伝送線105、107、109、111は奇数番目のアナログスイッチ113、114、115、116を介して奇数番目の信号線707に接続され、第2伝送線106、108、110、112は偶数番目のアナログスイッチ113、114、115、116を介して偶数番目の信号線707に接続される。これら伝送線105～112はスイッチング素子709である薄膜トランジスタのソース・ドレイン電極形成工程と同一工程で形成される。シフトレジスタ101、102、103、104は直列に接続されるアナログスイッチグループに等しい数のフリップフロップで構成され、先頭フリップフロップに入力されるスタートパルスSTをクロックCKに応答して最終フリップフロップまで順方向にシフトされることにより出力端SR11、SR12、SR13；SR21、SR22、SR23；SR31、SR32、SR33；SR41、SR42、SR43から順次イネーブル信号を発生する。各フリップフロップは公知のCMOSクロックドインバータ回路であり、スイッチング素子709の薄膜トランジスタと同一工程で形成される薄膜トランジスタを組み合わせて構成される。尚、シフトレジスタ101～104はモノクロック型であるが、クロックCKおよびリバースクロックに応答するように構成されてもよい。また、これらシフトレジスタ101～104は外部から直接に供給される電力でなく、例えば信号線駆動ブロック11～14を横断する共通バスとして形成される電源ラインおよび接地ライン（図示せず）を介して供給される電力で動作するように構成されてもよい。

【0016】図3は信号線駆動回路XDの動作を示す。シフトレジスタ101、102、103、104は図3に示すようにクロックCKに応答して出力端SR11、SR12、SR13；SR21、SR22、SR23；SR31、SR32、SR33；SR41、SR42、SR43から順次イネーブル信号を発生する動作を並列的に行う。すなわち、イネーブル信号は第1クロックサイクルで出力端SR11、SR21、SR31およびSR41から出力され、第2クロックサイクルで出力端SR12、SR22、SR32、SR42から出力され、第3クロックサイクルで出力端SR13、SR23、SR33およびSR43から出力され、以降のクロックサイクルがあれば上述と同様の形式で出力される。これにより、奇数列映像信号SV1、SV3、SV5、SV7および偶数列映像信号SV2、SV4、SV6、SV8の両方が第1から第3クロックサイクルでイネーブル信号を受け取ったアナログスイッチグループにより順次サンプリングされ、対応する信号線707に供給される。

【0017】上述の第1実施例では、図2に示す映像信号バスが占有する領域117の幅を低減できる。また、映像信号バスがシフトレジスタとアナログスイッチとを結ぶ配線と交差する重複部分118、119の数を減らすことが可能となる。したがって、信号線駆動回路XDの回路幅を縮小でき、しかも負荷容量の減少により映像信号線の伝送帯域を向上できる。

【0018】また、表示パネルコントローラ702が信号線駆動回路XDに対応する表示パネル基板701の一辺側に配置される。これは、例えば走査線駆動ブロックYDに対応する表示パネル基板701の一辺側から映像信号を映像信号バスに供給し、この映像信号バスを信号線駆動回路XDのスパンに対応して伸ばす場合と比較して表示パネル基板上での配線長が短くなり、映像信号バスの伝送帯域を向上できる。

【0019】さらに全信号線駆動ブロックはそれぞれの信号線グループの隣接信号線707を同一方向に順次駆動するため、奇数列および偶数列映像信号について駆動順序に対応してさらに並べ替える必要が無い。したがって、表示パネルコントローラの回路規模を小さくすることが可能である。

【0020】（実施例2）次に、本発明の第2実施例に係る液晶表示装置を図4および図5を参照して説明する。この液晶表示装置は以下に説明する事項を除いて第1実施例と同様に構成される。図4はこの液晶表示装置の信号線駆動回路XDの構成を示し、図5は信号線駆動回路XDの動作を示す。

【0021】信号線駆動ブロック11～14は図4に示すように構成される。信号線駆動ブロック11、12、13、14は奇数列映像信号SV11、SV13、SV15、SV17を伝送する第1伝送線351、353、355、357と、偶数列映像信号SV12、SV1

4、SV16、SV18を伝送する第2伝送線352、354、356、358と、6本の隣接信号線707にそれぞれ割当てられると共に第1伝送線351、353、355、357および第2伝送線352、354、356、358に交互に割当てられ各々対応伝送線上の映像信号をサンプリングし対応信号線707に供給する一群のアナログスイッチ311～316、321～326、331～336、341～346と、伝送線数に等しい2つの隣接アナログスイッチで各々構成される複数のアナログスイッチグループにアナログスイッチ311～316、321～326、331～336、341～346をそれぞれ区分しこれら複数のアナログスイッチグループを順次サンプリング動作させるタイミング制御回路として構成されるモノクロック型のシフトレジスタ305、306、307、308とを備える。これらコンポーネントは第1および第2信号線351～358の配置およびシフトレジスタ305、306、307、308のシフト方向を除いて信号線駆動ブロック相互において同様に構成される。複雑化を避けるために6本の隣接信号線で各信号線グループを構成した場合には、アナログスイッチグループ数が3となる。第1および第2伝送線351および352、353および354、355および356、357および358はそれぞれ独立に表示パネルコントローラ702に接続される映像信号バスを構成する。これら映像信号バスは表示パネル基板701上でシフトレジスタ305、306、307、308の一端部または他端部側に映像信号入力端を持ち、シフトレジスタ305、306、307、308とアナログスイッチ311～316、321～326、331～336、341～346とを結ぶ接続配線と交差して伸びるよう形成される。すなわち、伝送線351および352の映像信号入力端はS端子とレジスタ305の一端部側に配置され、伝送線353および354の映像信号入力端はシフトレジスタ306の多端部側に配置され、伝送線355および356の映像信号入力端はシフトレジスタ307の一端部側に配置され、伝送線357および358の映像信号入力端はシフトレジスタ308の多端部側に配置される。第1および第2伝送線は信号線駆動ブロック相互において等しい配線長および寄生容量、すなわち配線負荷を持つ。

【0022】第1伝送線351、353、355、357は奇数番目のアナログスイッチ311、313、315；321、323、325；331、333、335；341、343、345を介して奇数番目の信号線707に接続され、第2伝送線352、354、356、358は偶数番目のアナログスイッチ312、314、316；322、324、326；332、334、336；342、344、346を介して偶数番目の信号線707に接続される。これら伝送線351～358はスイッチング素子709である薄膜トランジスタ

のソース・ドレイン電極形成工程と同一工程で形成される。シフトレジスタ305、306、307、308は直列に接続されるアナログスイッチグループ数に等しい数のフリップフロップで構成される。シフトレジスタ305および307は先頭フリップフロップに入力されるスタートパルスSTをクロックCKに応答して最終フリップフロップまで順方向にシフトさせることにより出力端SR51、SR52、SR53；SR71、SR72、SR73から順次イネーブル信号を発生する。シフトレジスタ306および308は最終フリップフロップに入力されるスタートパルスSTをクロックCKに応答して先頭フリップフロップまで逆方向にシフトさせることにより出力端SR63、SR62、SR61；SR83、SR82、SR81から順次イネーブル信号を発生する。各フリップフロップは公知のCMOSクロックドインバータ回路であり、スイッチング素子709の薄膜トランジスタと同一工程で形成される薄膜トランジスタを組み合わせて形成される。

【0023】図5は信号線駆動回路XDの動作を示す。シフトレジスタ305、306、307、308は図5に示すようにクロックCKに応答して出力端SR51、SR52、SR53；SR63、SR62、SR61；SR71、SR72、SR73；SR83、SR82、SR81から順次イネーブル信号を発生する動作を並列的に行う。すなわち、イネーブル信号は第1クロックサイクルで出力端SR51、SR63、SR71およびSR83から出力され、第2クロックサイクルで出力端SR52、SR62、SR72およびSR82から出力され、第3クロックサイクルで出力端SR53、SR61、SR73およびSR81から出力され、以降のクロックサイクルがあれば上述と同様の形式で出力される。これにより、奇数列映像信号SV11、SV13、SV15、SV17および偶数列映像信号SV12、SV14、SV16、SV18の両方が第1から第3クロックサイクルでイネーブル信号を受け取ったアナログスイッチグループにより順次サンプリングされ、対応する信号線707に供給される。

【0024】上述の第2実施例では、図4に示す映像信号バスが占有する領域360の幅を低減できる。また、映像信号バスがシフトレジスタとアナログスイッチとを結ぶ配線と交差する重複部分361、362の数を減らすことが可能となる。従って、信号線駆動回路XDの回路幅を縮小でき、しかも負荷容量の減少により映像信号線の伝送帯域を向上できる。

【0025】(実施例3)次に、本発明の第3実施例に係る液晶表示装置を図6および図7を参照して説明する。この液晶表示装置は以下に説明する事項を除いて第1実施例と同様に構成される。図6はこの液晶表示装置の信号線駆動回路XDの構成を示し、図7は信号線駆動回路XDの動作を示す。

【0026】信号線駆動ブロック11～14は図6に示すように構成される。信号線駆動ブロック11、12、13、14は奇数列映像信号SV31、SV33、SV35、SV37を伝送する第1伝送線209、211、213、215と、偶数列映像信号SV2、SV4、SV6、SV8を伝送する第2伝送線210、212、214、216と、6本の隣接信号線707にそれぞれ割当てられると共に第1伝送線209、211、213、215および第2伝送線210、212、214、216に交互に割当てられ各々対応伝送線上の映像信号をサンプリングしたい旨信号線707に供給する一群のアナログスイッチ220～225、226～231、232～237、238～243と、伝送線数に等しい2つの隣接アナログスイッチで各々構成される複数のアナログスイッチグループにアナログスイッチ220～225、226～231、232～237、238～243をそれぞれ区分しこれら複数のアナログスイッチグループを順次サンプリング動作させるタイミング制御回路として構成されるモノクロック型のシフトレジスタ205、206、207、208とを備える。

【0027】これらコンポーネントは第1および第2伝送線の配置を除いて信号線駆動ブロック相互において同様に構成される。複雑化を避けるために6本の隣接信号線で各信号線グループを構成した場合には、アナログスイッチグループ数が3となる。第1および第2伝送線209および210、211および212、213および214、215および216はそれぞれ独立に表示パネルコントローラ702に接続される映像信号バスを構成する。これら映像信号バスは表示パネル基板701上でシフトレジスタ205、206、207、208の両端部側に映像信号入力端を持ち、シフトレジスタ205、206、207、208とアナログスイッチ220～225、226～231、232～237、238～243とを結ぶ接続配線と交差して伸びるよう形成される。第1および第2伝送線は信号線ブロック相互において等しい配線長および寄生容量、すなわち配線負荷を持つ。第1伝送線209、211、213、215は奇数番目のアナログスイッチ220、222、224；226、228、230；232、234、236；238、240、242を介して奇数番目の信号線707に接続され、第2伝送線210、212、214、216は偶数番目のアナログスイッチ221、223、225；227、229、231；233、235、237；239、241、243を介して偶数番目の信号線707に接続される。これら伝送線209～216はスイッチング素子709である薄膜トランジスタのソース・ドレイン電極形成工程と同一工程で形成される。シフトレジスタ205、206、207、208は直列に接続されるアナログスイッチグループ数に等しい数のフリップフロップで構成され、先頭フリップフロップに入力されるス

タートパルスSTをクロックCKに応答して最終フリップフロップに入力されるスタートパルスSTをクロックCKに応答して最終フリップフロップまで順方向にシフトさせることにより出力端SR101、SR102、SR103；SR201、SR202、SR203；SR301、SR302、SR303；SR401、SR402、SR403から順次イネーブル信号を発生する。各フリップフロップは公知のCMOSクロックドインパータ回路であり、スイッチング素子709の薄膜トランジスタと同一工程で形成される薄膜トランジスタを組み合わせて形成される。

【0028】図7は信号線駆動回路XDの動作を示す。シフトレジスタ205、206、207、208は図7に示すようにクロックCKの応答して出力端SR101、SR102、SR103；SR201、SR202、SR203；SR301、SR302、SR303；SR401、SR402、SR403から順次イネーブル信号を発生する動作を並列的に行う。すなわち、イネーブル信号は第1クロックサイクルで出力端SR101、SR201、SR301およびSR401から出力され、第2クロックサイクルで出力端SR102、SR202、SR302およびSR402から出力され、第3クロックサイクルで出力端SR103、SR203、SR303およびSR403から出力され、以降のクロックサイクルがあれば上述と同様の形式で出力される。これにより、奇数列映像信号SV31、SV33、SV35、SV37および偶数列映像信号SV32、SV34、SV36、SV38の両方が第1から第3クロックサイクルでイネーブル信号を受け取ったアナログスイッチグループにより順次サンプリングされ、対応する信号線707に供給される。

【0029】この第3実施例では、図6に示す映像信号バスが占有する領域260の幅を低減できる。また、映像信号バスがシフトレジスタとアナログスイッチとを結ぶ配線と交差する重複部分261、262の数を減らすことが可能となる。したがって、信号線駆動回路XDの回路幅を縮小でき、しかも負荷容量の減少により映像信号線の伝送帯域を向上できる。さらに、奇数列および偶数列映像信号の各々が表示パネルコントローラ702から対向信号線駆動ブロックのニヶ所の映像信号入力端に供給される。この構成により、映像信号線の伝送帯域をさらに向上できる。

【0030】(実施例4) 次に、本発明の第4実施例に係る液晶表示装置を図8および図9を参照して説明する。この液晶表示装置は以下に説明する事項を除いて第1実施例と同様に構成される。図8はこの液晶表示装置の信号線駆動回路XDの構成を示し、図9は信号線駆動回路XDの動作を示す。

【0031】信号線駆動ブロック11～14は図8に示すように構成される。信号線駆動ブロック11、12、

13、14は奇数列映像信号SV41、SV43、SV45、SV47を伝送する第1伝送線409、411、413、415と、偶数列映像信号SV42、SV44、SV46、SV48を伝送する第2伝送線410、412、414、416と、6本の隣接信号線707にそれぞれ割当てられると共に第1伝送線409、411、413、415および第2伝送線410、412、414、416に交互に割当てられ各自対応伝送線上の映像信号をサンプリングし対応信号線707に供給する一群のアナログスイッチ420～425、426～431、432～437、438～443と、伝送線数に等しい2つの隣接アナログスイッチで各自構成される複数のアナログスイッチグループにアナログスイッチ420～425、426～431、432～437、438～443をそれぞれ区分しこれら複数のアナログスイッチグループを順次サンプリング動作させるタイミング制御回路として構成されるモノクロック型のシフトレジスタ405、406、407、408とを備える。これらコンポーネントは第1および第2伝送線の配置を除いて信号線駆動ブロック相互において同様に構成される。

【0032】複雑化を避けるために6本の隣接信号線で各信号線グループを構成した場合には、アナログスイッチグループ数が3となる。第1および第2伝送線409および410、411および412、413および414、415および416はそれぞれ独立に表示パネルコントローラ702に接続される映像信号バスを構成する。伝送線409～412は表示パネル基板701上でシフトレジスタ405および406の直列ユニットの一端部側映像信号入力端を持つ。伝送線409および410はシフトレジスタ405とアナログスイッチ420～425とを結ぶ接続配線と交差して伸びるよう形成され、伝送線411および412はシフトレジスタ405および406とアナログスイッチ420～425および426～431とを結ぶ接続配線と交差して伸びるよう形成される。伝送線413～416は表示パネル基板701上でシフトレジスタ407および408の直列ユニットの他端部側に映像信号入力端を持つ。伝送線413および414はシフトレジスタ407～408とアナログスイッチ432～437および438～443とを結ぶ接続配線と交差して伸びるよう形成され、伝送線415および416はシフトレジスタ406とアナログスイッチ438～443とを結ぶ接続配線と交差して伸びるよう形成される。

【0033】信号線駆動ブロック11の第1および第2伝送線は信号線駆動ブロック14の第1および第2伝送線と等しい配線長および寄生容量、すなわち配線負荷を持つ。また、信号線駆動ブロック12の第1および第2伝送線は信号線駆動ブロック13の第1および第2伝送線と等しい配線長および寄生容量、すなわち配線負荷を持つ。第1伝送線409、411、413、415は奇

数番目のアナログスイッチ420、422、424；426、428、430；432、434、436；438、440、442を介して奇数番目の信号線707に接続され、第2伝送線410、412、414、416は偶数番目のアナログスイッチ421、423、425；427、429、431；433、435、437；439、441、443を介して偶数番目の信号線707に接続される。これら伝送線409～416はスイッチング素子709である薄膜トランジスタのソース・ドレイン電極形成工程と同一工程で形成される。シフトレジスタ405、406、407、408は直列に接続されるアナログスイッチグループ数に等しい数のフリップフロップで構成され、先頭フリップフロップに入力されるスタートパルスSTをクロックCKに応答して最終フリップフロップまで順方向にシフトさせることにより出力端SR501、SR502、SR503；SR601、SR602、SR603；SR701、SR702、SR703；SR801、SR802、SR803から順次イネーブル信号を発生する。

【0034】図9は信号線駆動回路XDの動作を示す。シフトレジスタ405、406、407、408は図9に示すようにクロックCKに応答して出力端SR501、SR502、SR503；SR601、SR602、SR603；SR701、SR702、SR703；SR801、SR802、SR803から順次イネーブル信号を発生する動作を並列的に行う。すなわち、イネーブル信号は第1クロックサイクルで出力端SR501、SR601、SR701およびSR801から出力され、第2クロックサイクルで出力端SR502、SR602、SR702およびSR802から出力され、第3クロックサイクルで出力端SR503、SR603、SR703およびSR803から出力され、以降のクロックサイクルがあれば上述と同様の形式で出力される。これにより、奇数列映像信号SV41、SV43、SV45、SV47および偶数列映像信号SV42、SV44、SV46、SV48の両方が第1から第3クロックサイクルでイネーブル信号を受け取ったアナログスイッチグループにより順次サンプリングされ、対応する信号線707に供給される。

【0035】この第4実施例では、図8に示す映像信号バスが占有する領域460の幅を低減できる。また、映像信号バスがシフトレジスタとアナログスイッチとを結ぶ配線と交差する重複部分461、462の数を減らすことが可能となる。したがって、信号線駆動回路XDの回路幅を縮小でき、しかも負荷容量の減少により映像信号線の伝送帯域を向上できる。

【0036】尚、上述した各実施例では、信号線駆動回路XDが4つの信号線駆動ブロックで構成される場合を例にとり示したが、本発明はこれに限定されるものでない。また、上述した各実施例で、信号線駆動ブロック毎

の映像信号伝送線数を1本に減らしてもよい。この場合、イネーブル信号が例えばシフトレジスタのフリップフロップ数を2倍にすることにより偶数番目のアナログスイッチに奇数番目のアナログスイッチと異なるタイミングで供給される。

【0037】

【発明の効果】本発明の表示装置によれば、映像信号バスは信号線駆動ブロック毎に電気的に互いに絶縁された状態で設けられているので、他の駆動ブロック内の配線との交差部をもたず負荷容量を低減できるため、映像信号バスの帯域特性を大幅に改善することができる。従つて、画像の歪みなどのない良好な表示性能を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係る液晶表示装置の回路配置を示す概略図である。

【図2】図1に示す信号線駆動回路の詳細図である。

【図3】図2の信号線駆動回路の駆動波形のタイミングチャートである。

【図4】本発明の第2実施例に係る液晶表示装置の信号

線駆動回路の詳細図である。

【図5】図4に示す信号線駆動回路の駆動波形のタイミングチャートである。

【図6】本発明の第3実施例に係る液晶表示装置の信号線駆動回路の詳細図である。

【図7】図6の信号線駆動回路の駆動波形のタイミングチャートである。

【図8】本発明の第4実施例に係る液晶表示装置の信号線駆動回路の詳細図である。

【図9】図8の信号線駆動回路の駆動波形のタイミングチャートである。

【符号の説明】

701…表示パネル基板

702…表示パネルコントローラ

11、12、13、14…信号線駆動回路ブロック

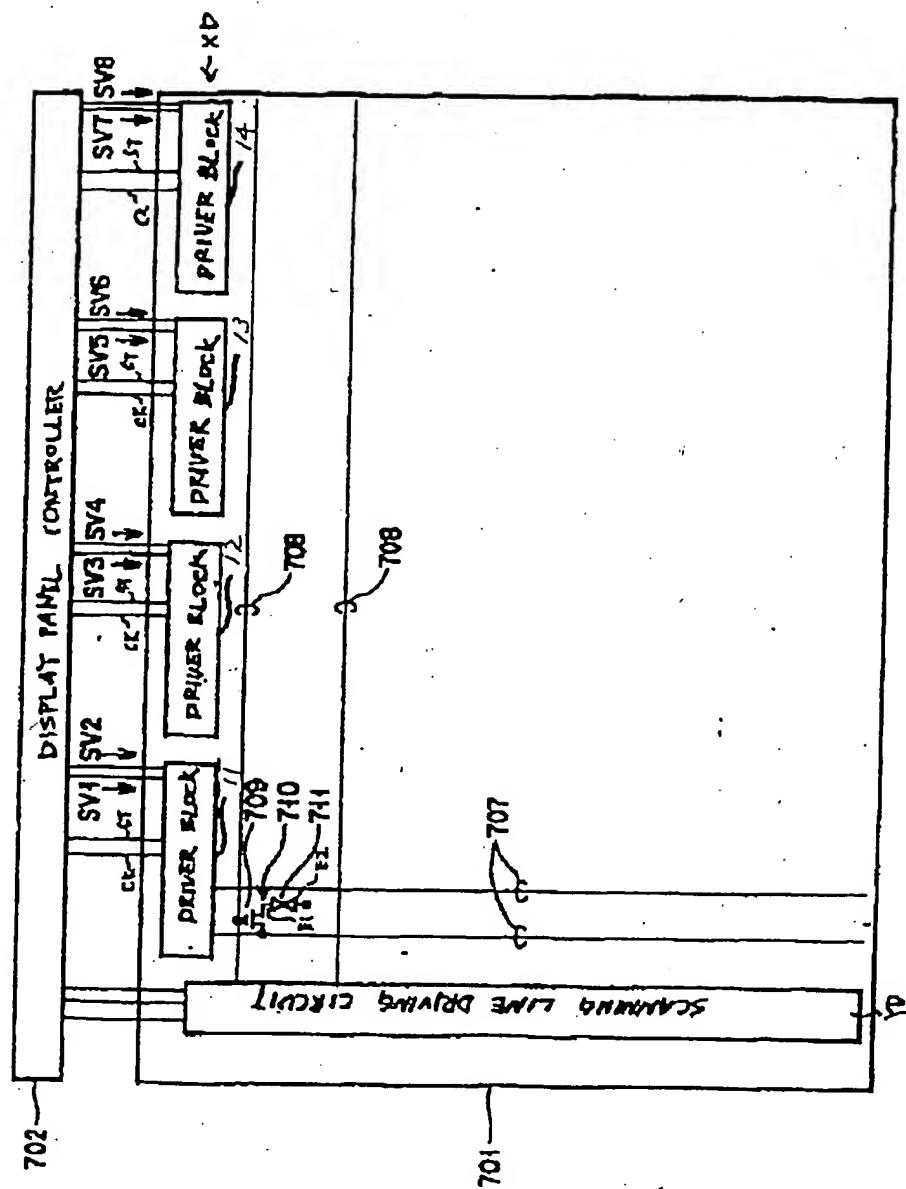
707…信号線

708…走査線

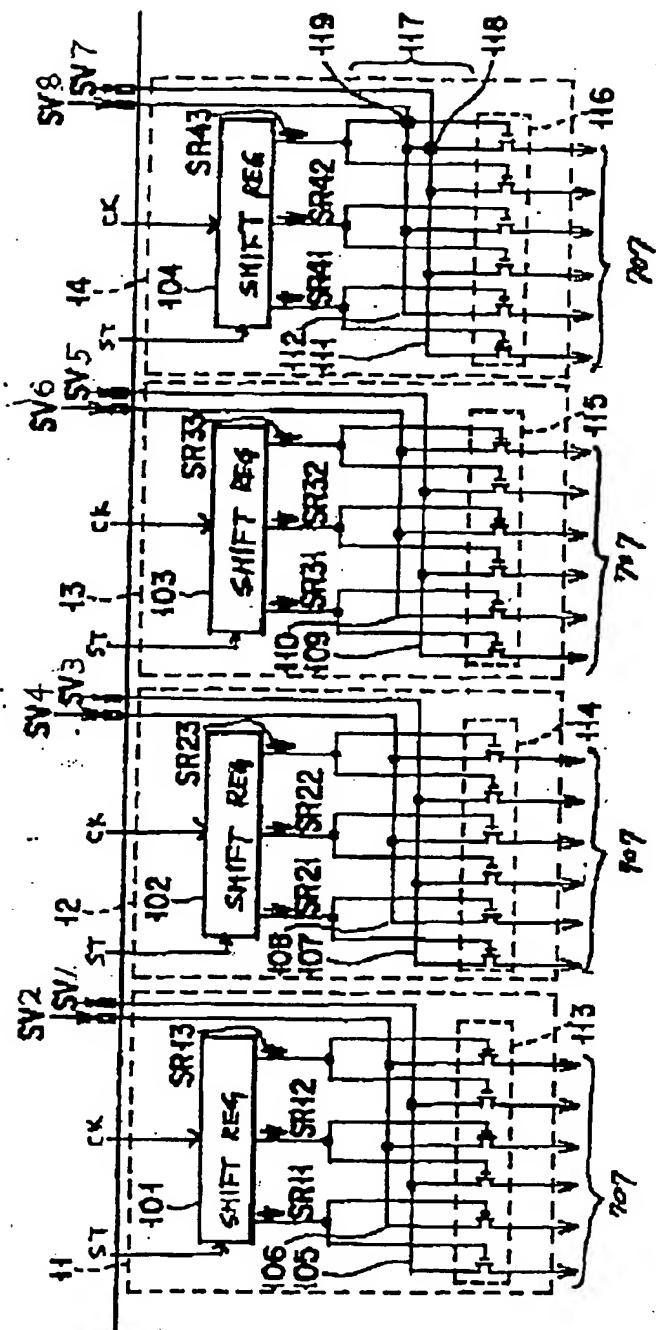
709…スイッチング素子

710…表示画素

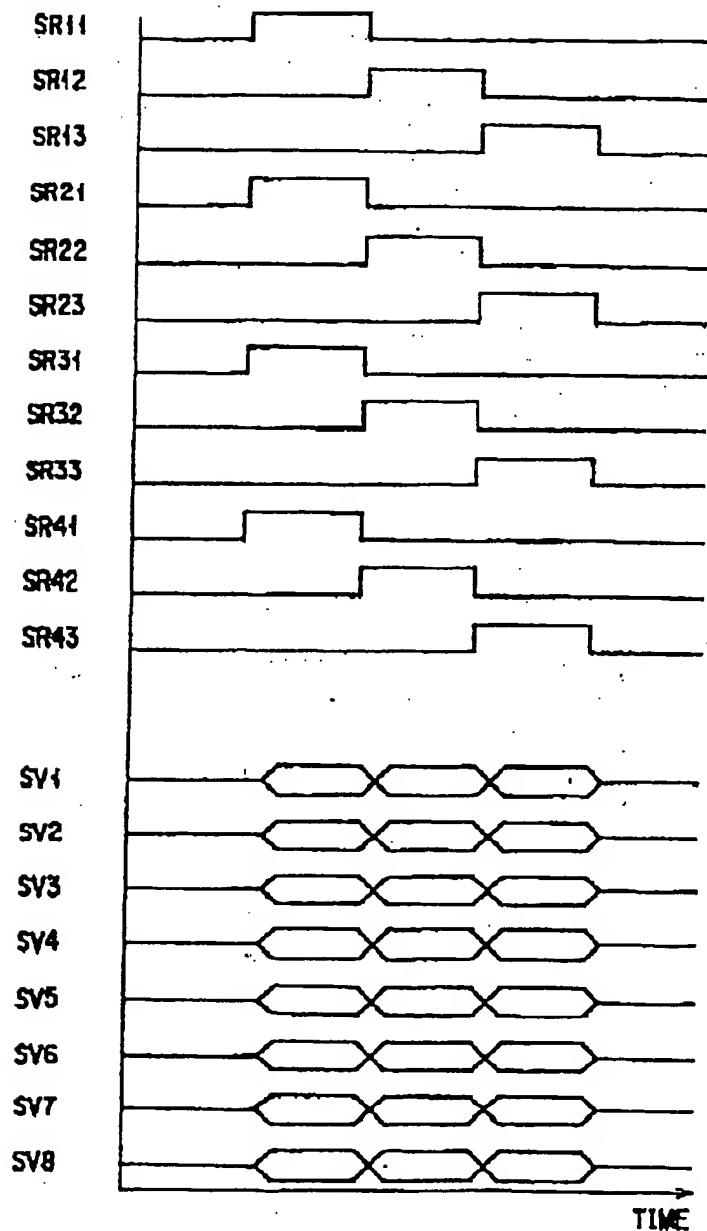
[図1]



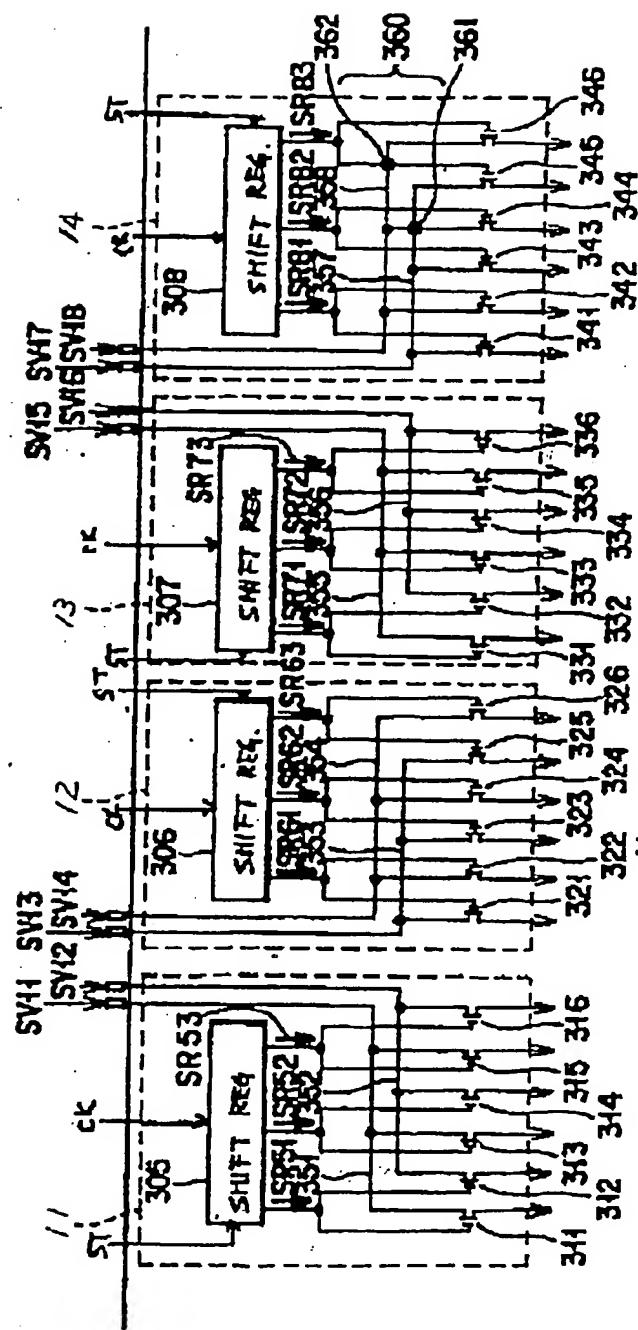
〔图2〕



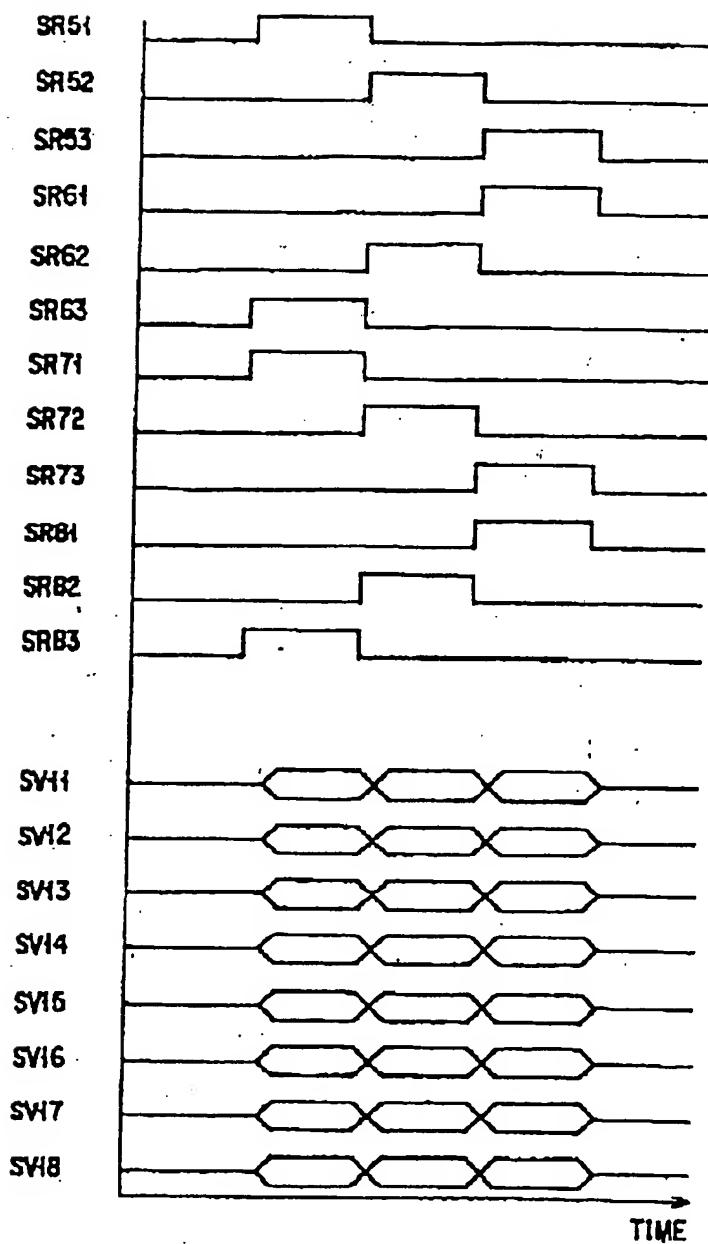
[図3]



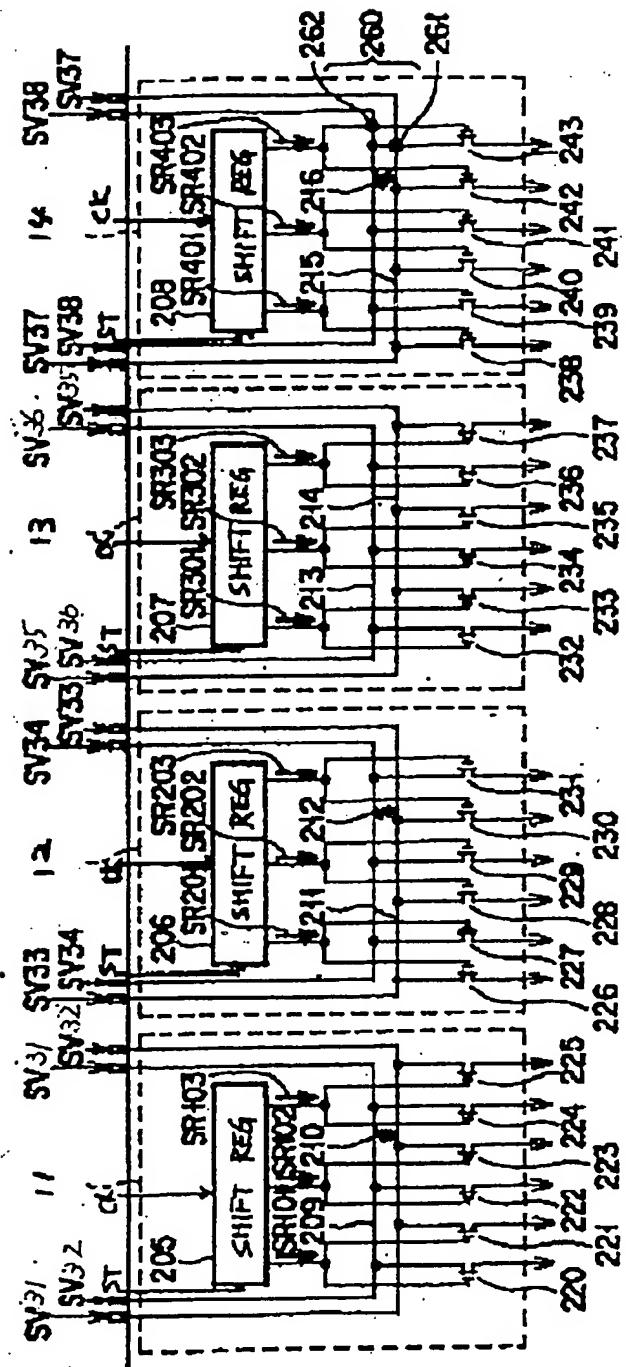
[図4]



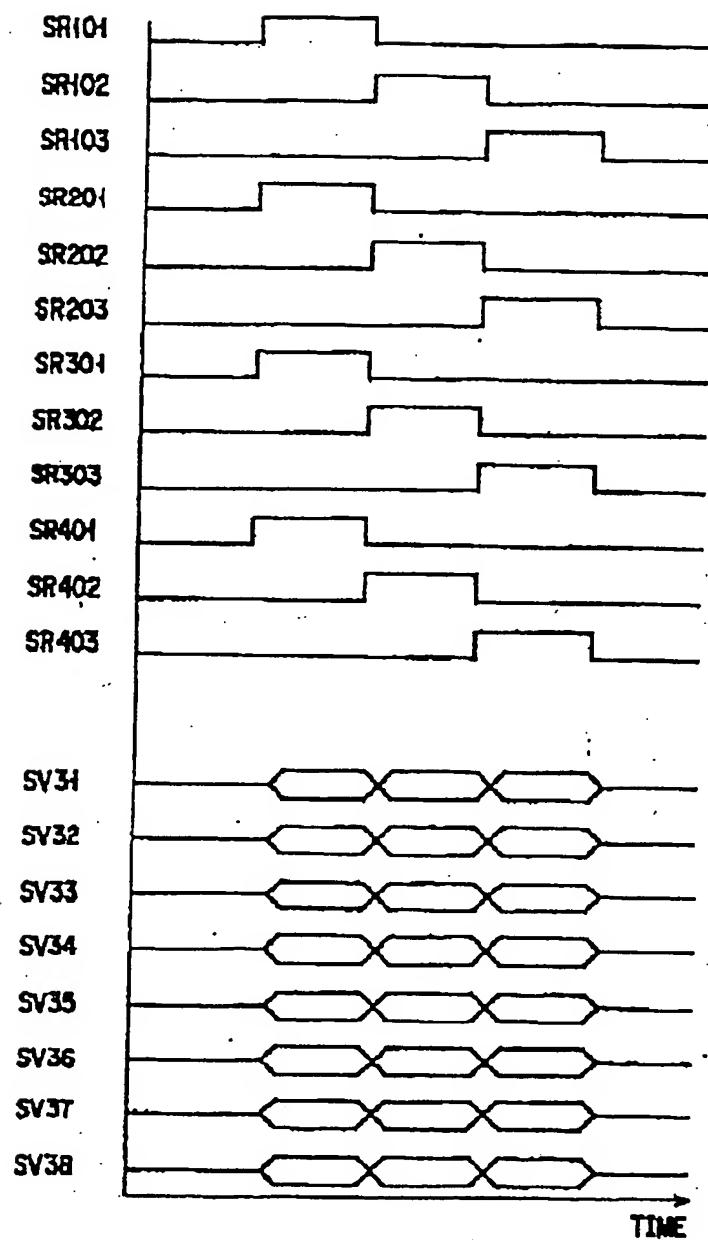
【図5】



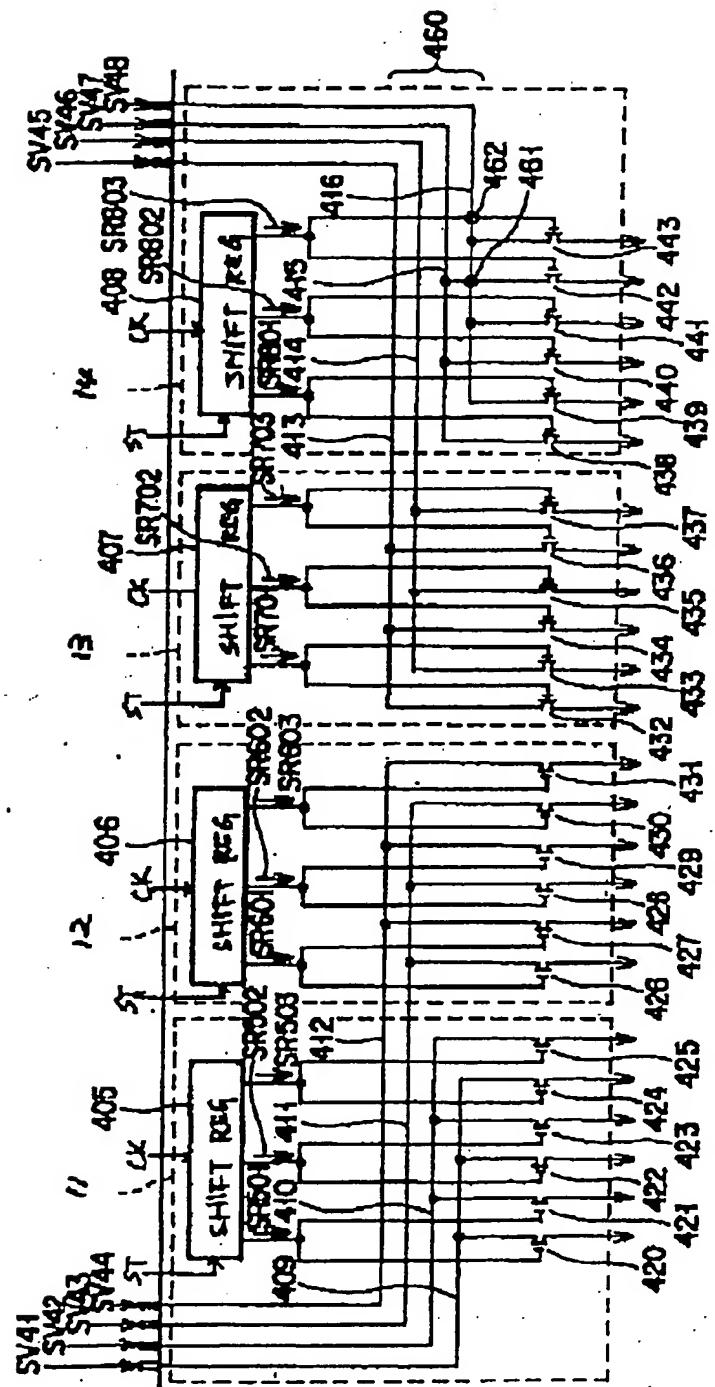
〔图6〕



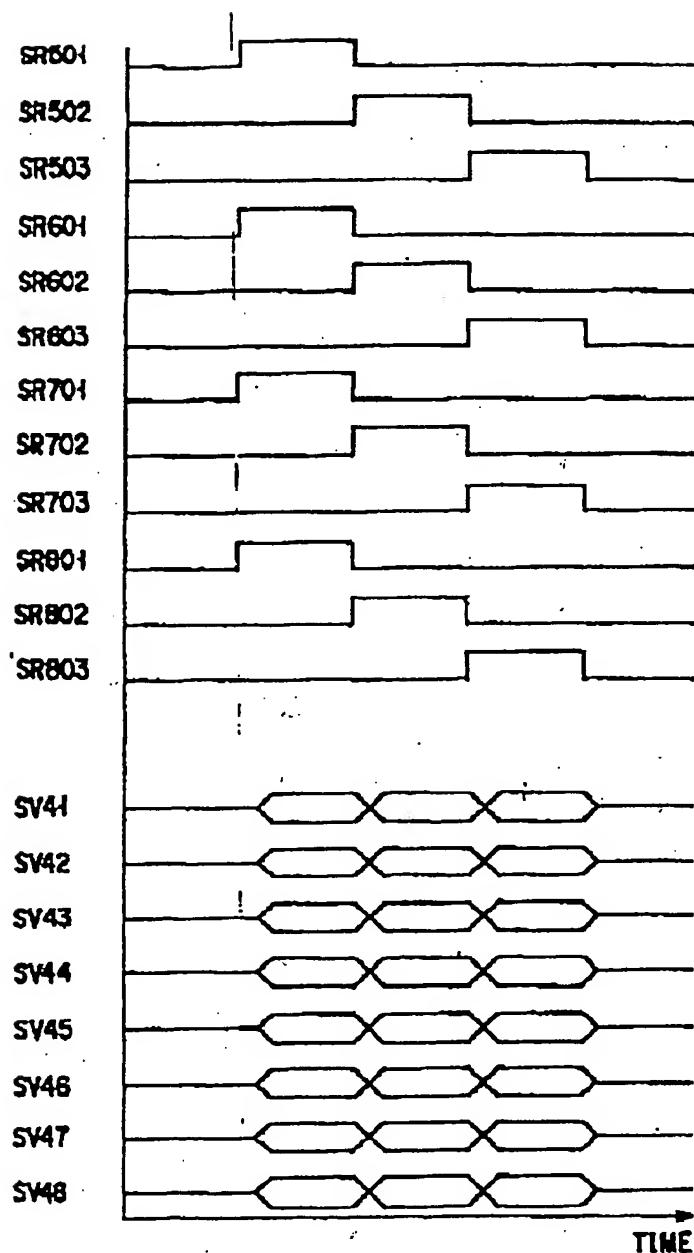
【図7】



[图 8]



【図9】



【手続補正書】

【提出日】平成10年3月27日

【手続補正1】

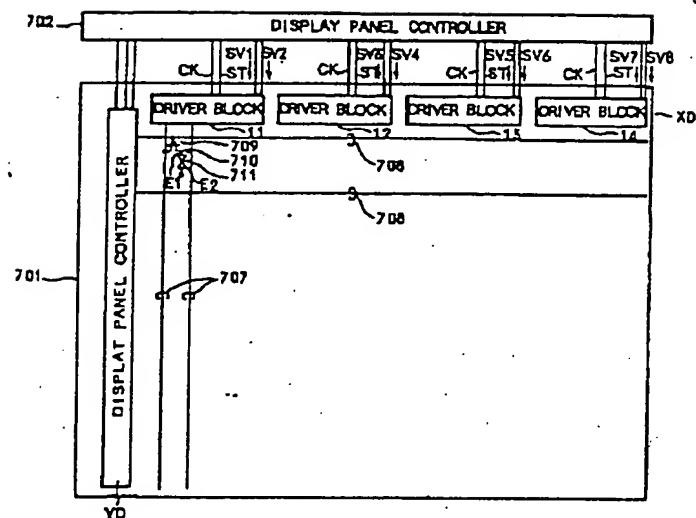
【補正対象書類名】図面

【補正対象項目名】全図

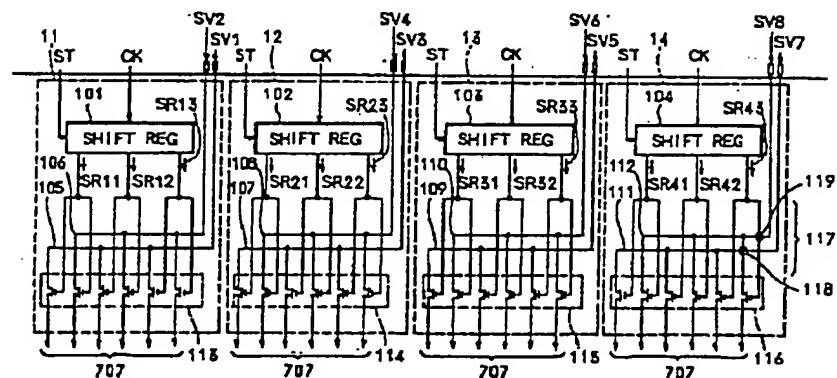
【補正方法】変更

【補正内容】

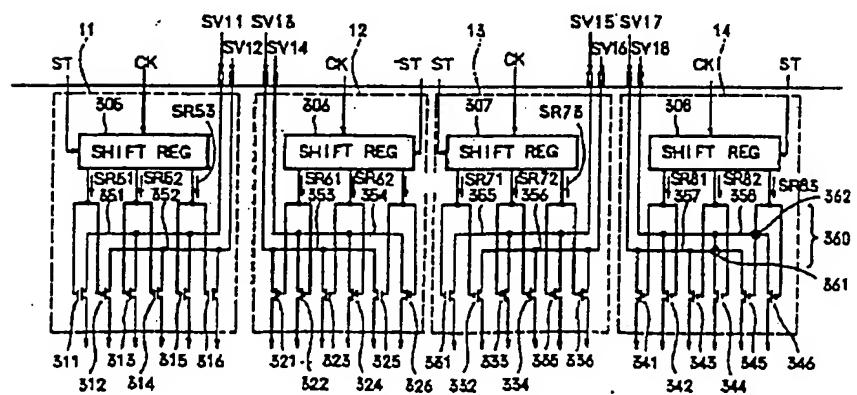
【图1】



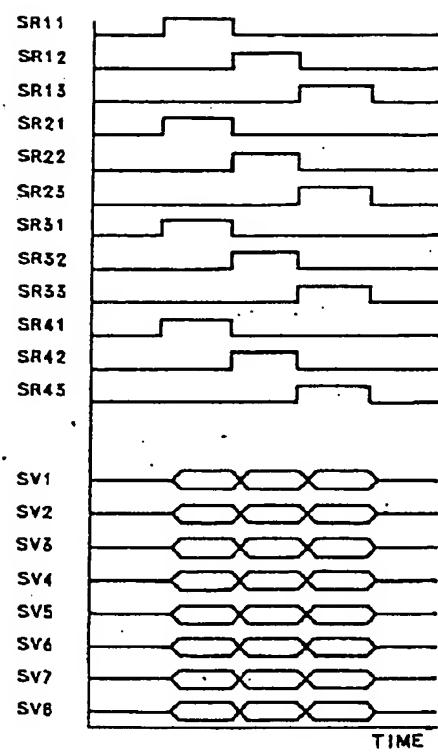
[圖 2]



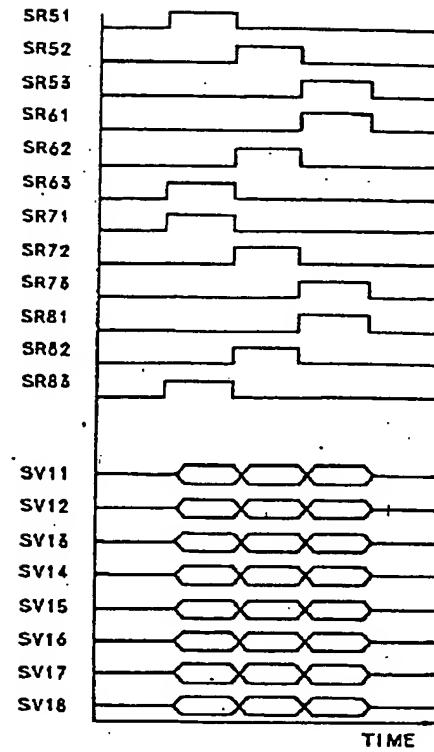
[图4]



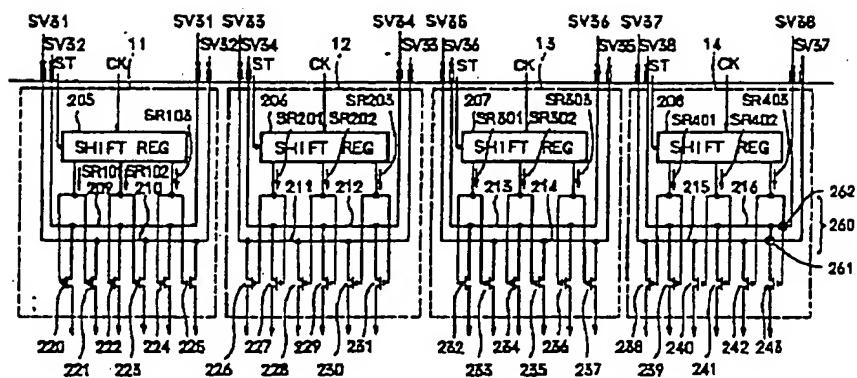
【図3】



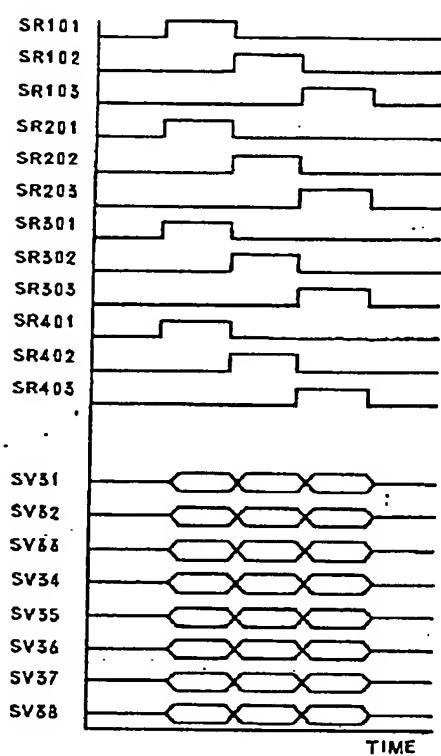
【図5】



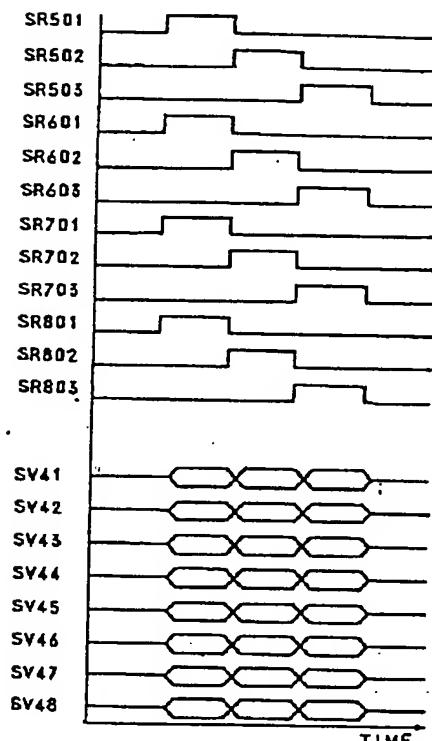
【図6】



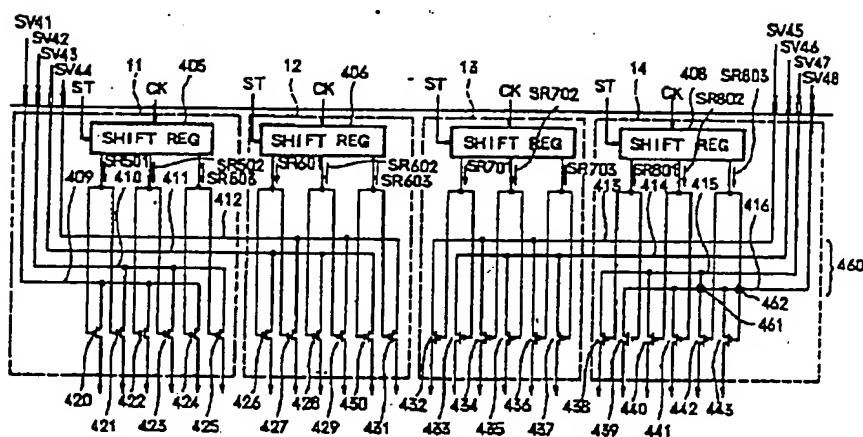
【図7】



【図9】



【図8】



Translation of Claim 1

1. A display device comprising:
 - a display panel substrate;
 - display pixels arranged on the panel in a matrix formation;
 - a plurality of signal lines formed on the panel and along columns of the display pixels;
 - a scan part periodically selecting rows of the display pixels so that the display pixels connected to a selected row are connected to the signal lines, the scan part being provided on the substrate; and
 - a drive part driving the display pixels of the selected row through the signal lines,
 - the drive part having signal line driving blocks which are arranged so that the signal lines are grouped into signal line groups each having a given number of neighboring signal lines,
 - the signal line driving blocks respectively receiving video signals supplied to the signal line groups from an outside and driving the signal line groups in parallel fashion based on the received video signals.